

31. 1. 2005

日本特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年12月 5日

出願番号  
Application Number: 特願2003-408254

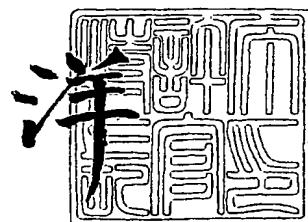
[ST. 10/C]: [JP2003-408254]

出願人  
Applicant(s): 独立行政法人産業技術総合研究所

2004年10月12日

特許庁長官  
Commissioner,  
Japan Patent Office

八月



BEST AVAILABLE COPY

【書類名】 特許願  
【整理番号】 329-03666  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 29/78  
【発明者】  
【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所  
つくばセンター内  
【氏名】 柳 永▼黙▲  
【発明者】  
【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所  
つくばセンター内  
【氏名】 昌原 明植  
【発明者】  
【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所  
つくばセンター内  
【氏名】 石井 賢一  
【発明者】  
【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所  
つくばセンター内  
【氏名】 関川 敏弘  
【発明者】  
【住所又は居所】 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所  
つくばセンター内  
【氏名】 鈴木 英一  
【特許出願人】  
【識別番号】 301021533  
【氏名又は名称】 独立行政法人産業技術総合研究所  
【代表者】 吉川 弘之  
【電話番号】 029-861-3280  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

**【書類名】特許請求の範囲****【請求項1】**

基板に対し起立した関係でソースとドレインの間に設けられた縦型チャネルと、該縦型チャネル内のキャリア走行方向とは直交する方向から該縦型チャネルを一対で挟むゲート絶縁膜と、これら一対のゲート絶縁膜の各々を介してそれぞれが該縦型チャネルに臨む計一対のゲート電極とを有する二重ゲート電界効果トランジスタにおいて、；

上記一対のゲート電極が、互いに異なる仕事関数を有すること；  
を特徴とする二重ゲート電界効果トランジスタ。

**【請求項2】**

請求項1記載の二重ゲート電界効果トランジスタであって；  
上記一対のゲート電極は互いに電気的に接続されていること；  
を特徴とする二重ゲート電界効果トランジスタ。

**【請求項3】**

請求項1記載の二重ゲート電界効果トランジスタであって；  
上記一対のゲート電極は互いに電気的に独立であること；  
を特徴とする二重ゲート電界効果トランジスタ。

**【請求項4】**

請求項1記載の二重ゲート電界効果トランジスタであって；  
上記一対のゲート絶縁膜の厚みが互いに異なっていること；  
を特徴とする二重ゲート電界効果トランジスタ。

**【請求項5】**

請求項1記載の二重ゲート電界効果トランジスタであって；  
上記一対のゲート電極の誘電率が互いに異なっていること；  
を特徴とする二重ゲート電界効果トランジスタ。

**【請求項6】**

請求項1記載の二重ゲート電界効果トランジスタであって；  
上記縦型チャネルは、上記キャリア走行方向と直交する方向の断面で見て三角形状をなし、上記一対のゲート絶縁膜の各々は、それぞれ該三角形状の対向する側面である斜面に接していること；  
を特徴とする二重ゲート電界効果トランジスタ。

**【請求項7】**

請求項1から請求項6までのどれか一つに記載の二重ゲート電界効果トランジスタを複数用いて構成された半導体集積回路。

**【書類名】**明細書

**【発明の名称】**二重ゲート電界効果トランジスタ

**【技術分野】**

**【0001】**

本発明は、キャリアの走行するチャネルを当該キャリア走行方向とは直交する方向からそれぞれゲート絶縁膜を介し、互いに電気的に接続しているか互いに電気的に独立な（互いに絶縁分離された）一対のゲートにより挟んで成る、いわゆる二重ゲート電界効果トランジスタの改良に関する。

**【背景技術】**

**【0002】**

周知のように、MOS電界効果トランジスタの高集積化、高速化のため、素子としての個々のトランジスタの微小化を進めていくと、ソース・ドレインの接近に伴ってドレイン電界がソースにまで影響を及ぼすようになり、一般に短チャネル効果と総称される現象が現れて、デバイス特性を劣化させる。例えば閾値電圧の低下やゲート電圧に対するドレイン電流の立ち上がりの鈍り（サブスレッシュルド係数の増大）を招いたり、ソース・ドレン間のリーク電流を増大させたりする。

**【0003】**

これに対し、薄いチャネル領域をキャリア走行方向とは直交する方向からそれぞれゲート絶縁膜を介し、互いに電気的に接続しているか電気的に独立な一対のゲートにより挟む構造にした、いわゆる“二重ゲート構造”にすれば、ドレイン電界を有効にシールドすることができ、短チャネル効果を抑制できる。実際、最近では、こうした二重ゲート電界効果トランジスタは最も微細化に適したトランジスタ構造と考えられており、種々の提案がなされている。

**【0004】**

図25(A)～(C)にはそうした従来例の一つが示されており、基板1上に形成された埋め込み絶縁膜2上には基板主面に対し起ち上がった薄い縦型チャネル5が設けられ、図25(A)のX-X方向であるキャリア走行方向と直交するY-Y方向に見て、当該縦型チャネル5の両側にはそれぞれゲート絶縁膜6-1, 6-2を介し、ゲート電極3-1, 3-2が臨んでいる。なお、図25(A)におけるX-X線に沿う断面端面図が図25(C)であり、これと直交するY-Y線に沿う断面端面図が図25(B)である。図示の場合は、一対のゲート絶縁膜6-1, 6-2の外側にそれぞれ一つずつが位置する計一対のゲート電極3-1, 3-2が、結局、縦型チャネル5の上部に設けられた絶縁膜4を渡し越す部分3cで互いに電気的に接続されているので、部材としては単一のゲート電極と見ることができる。一方、キャリア走行方向であるX-X方向には、縦型チャネル5を挟んでソース、ドレン7-1, 7-2が位置し、それぞれ縦型チャネル5に接続している。縦型チャネル5の当該“縦型”という形容詞は、当該チャネル5が基板1に対して起立した関係になっているために付けられているのであるが、以下の説明では特に必要のない限り、この形容詞は省略し、単にチャネルと呼ぶこともある。

**【0005】**

こうした二重ゲート電界効果トランジスタ構造では、チャネル5の両側に設けられているゲート6-1, 6-2が当該チャネル5を電気的にシールドすることになるため、ドレイン電界がソース7-1とチャネル領域界面の電位分布に与える影響を抑えることができ、短チャネル化に伴う閾値電圧の急激な低下とサブスレッシュルド係数の急激な増加を防止することができる。しかし、こうした効果はあるものの、欠点もあって、このように薄いチャネルを持つことで微細化された場合にその特徴を發揮する二重ゲート電界効果トランジスタにおいては、CMOS回路で必須の作業となる閾値電圧を制御するのに、通常用いられるチャネル領域の不純物制御による方法は有効には使えなくなってしまう。こうした極薄いチャネル層を持つ微細化された二重ゲート電界効果トランジスタの場合、不純物のばらつきが問題となり、閾値電圧がばらついてしまうからである。

**【0006】**

そこで、この点を解決するために、従来からも、例えば下記特許文献1に認められる、

図26(A)～(C)に示されるような構造の提案もあった。なお、予め述べておくと、本書の全文および添付図面の全図を通じ、同一の符号にて示される構成要素は同一ないし対応する構成要素を示し、他の個所ないし他の図面に即しての説明を適用できる場合には特に断らない限り、各図ごとに各構成要素に関して同様の説明を繰り返すのは避ける場合もある。しかるにまず、この図26に示す従来例の場合、基本的には図25に示した従来例構造と同様ではあるが、図26(A), (B)に示すように、一対のゲート絶縁膜6-1, 6-2を介してそれぞれがチャネル5に臨み、周囲は埋め込み絶縁膜8-1, 8-2で取り囲まれている計一対のゲート電極3-1, 3-2が、互いに電気的に独立している点（互いに接続されてもおらず、絶縁分離状態にある点）で異なっている。そのため、例えば一方のゲート電極に固定バイアスを印加して置き、他方のゲート電極に独立に印加するバイアス電圧によってトランジスタを駆動することができるし、この際に固定バイアスの値を変えるとトランジスタの閾値電圧が変わるので、閾値電圧の制御も可能となるのである。

【特許文献1】特開2002-270850号公報

#### 【0007】

また、図27に示すように、下記非特許文献1に認められる従来例もある。これは、ソース、ドレイン7-1, 7-2間のチャネル5を縦型ではなくて“横型”とし、これを一対のゲート絶縁膜6-1, 6-2を介しながら基板主面と平行な方向に伸びる一対の互いに独立な上下のゲート電極3-1, 3-2で挟むようにした、いわゆるプレーナ型の構造における改良となっていて、上部のゲート電極3-1をn<sup>+</sup>（またはp<sup>+</sup>）ポリシリコン、下部のゲート電極3-2をp<sup>+</sup>（またはn<sup>+</sup>）ポリシリコンで構成し、つまり上下のゲート電極3-1, 3-2に互いにフェルミ準位の異なるポリシリコンを用いることで、閾値電圧を制御可能とするべく図っている。

【非特許文献1】K. Suzuki et al, IEEE ED, Vol. 42, No. 11, 1995, pp. 1940-1948

“Enhanced ReChannel Transistors Grown by MOCVD”, Chang-Luen Wu他, IEEE Transactions on Electron Devices vol. 43 No. 2. (1996) 207)

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0008】

図25に示した従来構造では、既に述べたように閾値電圧の制御ができない。対して、図26に示した従来構造では、一応、トランジスタの閾値電圧は制御できるものの、特性的には不十分な結果しか得られず、特にサブスレッショルド係数が急増する欠点がある。図27に示した横型チャネルを有する従来構造では、閾値電圧を制御可能にしたとは言っても、実際には用いるn<sup>+</sup>またはp<sup>+</sup>ポリシリコンのフェルミ準位は固定であるから、自由に制御できると言うことでは決してなく、また、構造的に見ても、自己整合二重ゲートの作製が極めて困難なプレーナ型であると言う欠点も持っている。

#### 【0009】

本発明はこうした従来例の持つ欠点を解消ないし緩和し、ある程度以上に自由な閾値電圧の設定が可能な原理構造を持つ二重ゲート電界効果トランジスタの提供を目的としてなされたものである。

#### 【課題を解決するための手段】

#### 【0010】

本発明では上記目的を達成するために、基板に対し起立した関係でソースとドレインの間に設けられた縦型のチャネルと、このチャネル内のキャリア走行方向とは直交する方向から当該チャネルを一対で挟むゲート絶縁膜と、これら一対のゲート絶縁膜の各々を介してそれがチャネルに臨む計一対のゲート電極とを有する二重ゲート電界効果トランジスタにおいて、当該一対のゲート電極が互いに異なる仕事関数を持つようにすることを提案する。

#### 【0011】

ここで、一対のゲート電極は互いに電気的に接続されていても良いが、そうではなく、互いに独立にする（互いに電気的に絶縁分離する）とより望ましい。

#### 【0012】

上記の構成に加え、本発明では一対のゲート絶縁膜が互いに異なる厚みを持つ構成も提案し、これに代えて、あるいはこれと共に、一対のゲート電極が互いに異なる誘電率を持つ構成も提案する。

#### 【0013】

本発明はまた、構造的改良としても、チャネルはキャリア走行方向と直交する方向の断面で見て三角形状をなし、一対のゲート絶縁膜の各々は、それぞれこの三角形状の対向する側面である斜面に接している構造も提案する。また、以上に述べたどれかの構成による二重ゲート電界効果トランジスタを複数用いた半導体集積回路も提案する。

#### 【発明の効果】

#### 【0014】

本発明によると、一対のゲート電極が互いに異なる仕事関数を有しているので、例えそれら一対のゲート電極が互いに電気的に接続されている場合でも、製造時に設定した一対のゲート電極の仕事関数関係ないしはその差に応じ、所望の閾値電圧に設定できる。しかも、チャネルにイオン注入等でドーピングして閾値を制御することを考えると、チャネル寸法が微細化するに伴い、不純物のバラツキ等が問題となってくるが、本発明方法ではそのような惧れもなく、かつ、既述した従来例に認められたような、サブスレッショルド係数の増大と言う問題も解決できる。

#### 【0015】

さらに、一対のゲート電極を互いに電気的に独立させる本発明の特定の態様では、動作時においての閾値電圧制御を電気的に行うことも可能となる。例えば、一方のゲート電極を駆動電極として用い、他方のゲート電極に制御電位を与えるようにすれば、電界効果トランジスタのサブスレッショルド係数の急増を防止しながら閾値制御を電気的に制御できるようになり、必要とあれば、素子動作時においてのダイナミックな制御も可能となる。また、一般的に言えば、一対のゲート電極にあって仕事関数の低い方のゲート電極に固定バイアスを印加するような使い方では、その印加電位の如何によってドレイン電流を激減させ、ドレイン電流を強烈にシャットオフする等の使い方ができ、逆に仕事関数の高い方のゲート電極に固定バイアスを印加しての使用では、やはり印加電位の大きさに応じ、電流対電圧特性を平行にシフトできるので、閾値電圧の広範囲な制御が可能となる。これらの点は、以下に述べる、独立なゲート電極を持つ本発明の各実施形態において共通に言えることである。

#### 【0016】

上記に加え、本発明の特定の態様に従い、一対のゲート絶縁膜の厚みを互いに異ならせることも、あるいはまた一対のゲート絶縁膜の誘電率を互いに異ならせることも、上記の効果に付加されて、より細かな閾値電圧制御が可能となる。

#### 【0017】

構造的には、図27に示したようなプレーナ型ではなくて、縦型チャネルを用いているために、昨今の優秀な製造技術を有効に利用でき、例えばウェットエッティングで作製することができる結果、ドライエッティングを用いねばならない時のように、チャネルがプラズマによるダメージを受けるようなこともないし、チャネル表面に自己整合的に(111)面を発現させ、原子層オーダで平坦化することもできるため、チャネル表面のラフネンス散乱による移動度の低下が少ない、高性能な電界効果トランジスタとし得る。

#### 【0018】

もちろん、ソース、ドレイン及び両ゲート電極を同一主面に配置し得るので、デバイス間の配線が簡単となる。また、作製プロセスではチャネルを先に加工しておき、両ゲート電極同じプロセスで加工することができるため、ソース、ドレイン領域と両ゲート電極を自己整合の関係で配置できる。これはまた、寄生容量と寄生ソース・ドレイン抵抗の変動によるデバイス性能の劣化を防止し得ることを意味する。

#### 【0019】

さらに、本発明の特定の態様に従い、縦型チャネルを三角形状にするということは、短チャネル効果をより良く抑えるのに効果がある。

**【0020】**

そしてまた、二重ゲート電界効果トランジスタ構造における消費電力の低減にも本発明は寄与し得る。本発明は、閾値電圧をかなり自由に制御できる手段を提供するので、例えば二重ゲート電界効果トランジスタの動作に関し、必要時には閾値電圧を下げて高速動作を保証し、待機時は閾値電圧を挙げてオフ電流を下げ、もって非動作時の消費電力を大幅に下げる等と言うことも可能になる。従って、単体の素子としてはもちろんのこと、本発明の二重ゲート電界効果トランジスタを複数用いて構成された半導体集積回路でも、その性能はこれまでに比しても下がることはなく、寧ろ逆に向上しながら、なおかつ、消費電力は最適に抑えられるものとなる。従って本発明は実質的に、こうした半導体素子集積回路も提案するものである。

**【0021】**

なお、一対のゲート電極を互いに独立にした場合、つまりソース、ドレイン電極を含めて四端子素子として本発明の二重ゲート電界効果トランジスタを構成した場合、上述のように、閾値電圧制御のためだけに一対のゲート電極に印加する電位を調整するだけではなくて、新しい回路機能を附加できる可能性もある。いずれにしても、本発明によると、これまでのシリコン集積回路の発展を今後とも遅滞させることがないばかりか、逆にシリコン集積回路の新しい機能の発現を促す可能性も高く、半導体産業に計り知れない恩恵をもたらすことができる。

**【発明を実施するための最良の形態】****【0022】**

図1(A)～(C)には本発明の第一の実施形態に従う二重ゲート電界効果トランジスタの概略構成が示されている。図1(B)は図1(A)のY-Y線に沿う断面端面図、図1(C)は図1(A)中のX-X線に沿う断面端面図であるが、実は、この第一の実施形態は、各領域の配置関係や機械的な意味での構造等は、図25に即して既に説明した従来構造と同様であって良いものである。すなわち、基板1に対し起立した関係でソース7-1とドレイン7-2の間に設けられた縦型チャネル5を、当該縦型チャネル内のキャリア走行方向とは直交する方向から一対のゲート絶縁膜6-1, 6-2で挟んでおり、これら一対のゲート絶縁膜6-1, 6-2の上にはそれぞれゲート電極3-1, 3-2が設けられていて、これらのゲート電極3-1, 3-2もまた、対をなしている。ただし、これら一対のゲート電極3-1, 3-2は、チャネル5上に形成されている絶縁膜4を渡し越す部分3cで互いに電気的に接続されているため、実際には一つの部材とも認められる。

**【0023】**

しかるに、本発明を適用した結果、この第一の実施形態において、図25に示した従来例と根本的に異なっている点は、一方のゲート電極3-1の仕事関数Φ1と、他方のゲート電極3-2の仕事関数Φ2とが、互いに異なっている( $\Phi_1 \neq \Phi_2$ )ことである。そのため、図25に示した従来例における既述の欠点が解消ないし緩和され、製造時におけるこれら一対のゲート電極3-1, 3-2に与える仕事関数Φ1, Φ2の調整により、例え一対のゲート電極3-1, 3-2が上記のように互いに電気的に接続され、個々に関して見込まれる閾値電圧や個々の電位は独立には調整できない状態であっても、サブスレッショルド係数の増加を招かない範囲で素子としての所望の閾値電圧を得ることができる。なお、このような仕事関数関係にするゲート電極3-1, 3-2の材質は、既存材料から適当なものを相当程度の自由度を持って選ぶことができるし、後述の工程例におけるように、適当なるイオン注入技術を用いて構成することもできる。これらの点もまた、以下に述べる本発明の各実施形態において同様に言えることである。

**【0024】**

図2(A)～(C)には本発明の第二の実施形態に従う二重ゲート電界効果トランジスタの概略構成が示されている。同様に図2(B)は図2(A)のY-Y線に沿う断面端面図、図2(C)は図2(A)中のX-X線に沿う断面端面図であるが、この実施形態は、構造的には既に図26に即して述べた従来構造と同様であって良い。基板1に対し起立した関係でソース7-1とドレイン7-2の間に設けられた縦型チャネル5を、当該縦型チャネル内のキャリア走行方向とは

直交する方向から一対のゲート絶縁膜6-1, 6-2で挟んでおり、これら一対のゲート絶縁膜6-1, 6-2の上にはそれぞれゲート電極3-1, 3-2が設けられていて、それらが対を成している。しかし、図1に示す本発明実施形態とは異なり、これら一対のゲート電極3-1, 3-2は互いに電気的に独立で、絶縁分離されたものとなっているため、個々のゲート電極に互いに異なる電位を印加することができる。図示の場合には、やはりチャネル5を始めとする各構成要素は埋め込み絶縁膜2上に形成されており、チャネル5の上部は絶縁膜4にて覆われている。

### 【0025】

この第二の実施形態でも、本発明の趣旨に従い、一対のゲート電極3-1, 3-2のそれぞれの仕事関数 $\Phi_1$ ,  $\Phi_2$ は互いに異なるように設定されている。そのため、図26に示した従来構造による二重ゲート電界効果トランジスタの欠点は解消され、サブスレッショルド係数の増加を招かない範囲で所望の閾値電圧を得ることができるものならず、当該一対のゲート電極3-1, 3-2が互いに電気的に独立しているので、既に述べた効果に加え、例え動作時においても、要すればダイナミックに閾値電圧の電気的制御が可能となる。

### 【0026】

図3(A)～(C)には本発明の第三の実施形態に従う二重ゲート電界効果トランジスタの概略構成が示されている。これまでと同様、図3(B)は図3(A)のY-Y線に沿う断面端面図、図3(C)は図3(A)中のX-X線に沿う断面端面図であるが、構造的には図2に示した本発明第二実施形態における構造と同様である。従って構造上の説明は既に図2に即して説明した所を援用し、ここでは省略する。図2に示した実施形態と異なるのは、一対のゲート絶縁膜6-1, 6-2の厚みt1, t2も互いに異なっていることで、図示の場合には、図中で左側のゲート絶縁膜6-1の厚みt1に対し、他方のゲート絶縁膜6-2の厚みt2の方が厚くなっている場合( $t_1 < t_2$ )が例示されている。こうした実施形態では、一対のゲート電極3-1, 3-2の仕事関数 $\Phi_1$ ,  $\Phi_2$ の差と、一対のゲート絶縁膜6-1, 6-2の厚みの差の兼ね合いで、閾値電圧調整のさらなる微調整が図れる。

### 【0027】

こうした構造でも、図1, 図2に即して述べた本発明実施形態の持つ効果はもちろん發揮されるが、以下、図4から図12までに即し、この図3に示す本発明二重ゲート電界効果トランジスタを作製する工程につき説明する。なお、他の実施形態も含めて、ここでは一応、縦型チャネル5はn型チャネルであることを想定しておくが、p型チャネルであっても以下に挙げる各工程例は同様に適用することができる。また、図4から図12の各図において(A)図は図3中のY-Y線に沿う断面端面図に相当し、(B)図はX-X線に沿う断面端面図に相当する。

### 【0028】

まず図4(A), (B)に示すように、シリコン基板1上に埋め込み酸化膜2とシリコン結晶層5aを持つSOI(Silicon-On-Insulator)ウエハを用意し、その表面に熱酸化でシリコン酸化膜を形成した後に、図5(A), (B)に示すように、そのシリコン酸化膜を例えれば電子ビーム露光と反応性イオンエッティング(RIE: Reactive Ion Etching)で所望のパターンにパターニングしてドーピングマスク9を作製し、ソース領域7-1とドレイン領域7-2をドーピングにより形成する。

### 【0029】

図6(A), (B)に示すように、ドーピングマスクを弗酸で除去してから、例えれば酸化膜と窒化膜を連続的に堆積して絶縁膜4を形成し、電子ビーム露光でパターニングを行い、RIEで絶縁膜4からなるハードマスクを形成してから、結晶異方性ウェットエッティングあるいはRIEでチャネル5の右側に基板1に対して垂直なシリコン壁を作製する。このとき同時にソース領域7-1とドレイン領域7-2も片面側が整形される。この状態で、図7(A), (B)に示すように、最終的に相対的に厚いゲート絶縁膜となるゲート絶縁膜6-2を熱酸化あるいは化学気相成長法(CVD: Chemical Vapor Deposition)で形成する。このプロセスでは、実際にはソース、ドレイン7-1, 7-2の各側面にもシリコン酸化膜が形成されるが、それは図示していない。

**【0030】**

ここで、本発明の特定の態様に従い、最終的に形成される一対のゲート絶縁膜の互いの誘電率  $\epsilon_1$ ,  $\epsilon_2$  をも変える場合には、この図7に示す工程でそれを行うこともできる。例えば同図(A)中に仮想線の矢印fで示すように、公知既存の斜め蒸着技術やスパッタ法等を用い、シリコン熱酸化膜とは異なる適当な絶縁材料、例えばHfSiON, HfAlSiON, La2O3等の絶縁材料に依る絶縁薄膜を重ねて形成すれば良い。ただし、このゲート絶縁膜6-2の実質的な誘電率変更工程は、ここでは行わずに、後述の図9に即して説明する工程中において行っても良い。もちろん、始めから所望の誘電率  $\epsilon_2$  の特定誘電材料をゲート絶縁膜6-2として付着させても良い。

**【0031】**

次に、図8(A), (B)に示すように、例えば電子ビーム露光でレジストパターン10を形成する。ここでポイントとなるのは、レジストパターン10が既に形成した厚いゲート酸化膜6-2を覆い、かつ左側にチャネル厚(一対のゲート電極方向の厚み)分、広がっていることであり、そのために、このプロセスにおいてはナノスケールでの精密な位置合わせが必要となるが、のこと自体は、既存の技術をして十分に対処できる問題である。こうしたレジストパターン10を形成した後には、図9(A), (B)に示すように、絶縁膜4からなるハードマスクを形成し、結晶異方性ウェットエッチング或いはRIEでシリコン層をエッチングすることで、チャネル5の左側に垂直なシリコン壁を形成し、短時間の熱酸化で薄いゲート酸化膜を形成する。この工程において、先に図7(A)に即して述べた、どちらか一方、例えば厚い方のゲート絶縁膜6-2に対し、仮想線の矢印fで示すような、既述した適当な材料を付着させる誘電率変更工程を付与しても良い。もちろん、薄い方のゲート絶縁膜6-1に対する誘電率  $\epsilon_1$  の変更工程が必要な場合には、同様にこの工程にてチャネルを挟んで反対方向斜めからの適当なる誘電材料照射を行えば良い。

**【0032】**

このようにして、図示の場合にはチャネル5の左側に薄いゲート酸化膜6-1が、右側に厚いゲート酸化膜6-2が形成されたなら、図10(A), (B)に示すように、ウエハ全面にゲート電極3-1, 3-2となる電極材料3aを堆積する。適当な電極材料としては、ドープドポリシリコンや、薄い高融点メタル膜とドープドポリシリコンを連続堆積して形成した複合膜等がある。しかるにここで、本発明の趣旨に従い、一対のゲート電極3-1, 3-2の仕事関数を互いに異ならせるために、次のような工程を付加する。

**【0033】**

例えばゲート電極材料3aとしてポリシリコンを選び、図10中、まず仮想線の矢印Wpで示すように、当該ポリシリコン3aの堆積後、傾斜イオン注入法により、例えば燐を注入すると、薄いゲート絶縁膜6-1に接するゲート電極となる部分3-1と絶縁膜4の上方を渡し越す部分には当該燐が注入されるが、厚いゲート絶縁膜6-2に接する部分の近傍のゲート電極部分3-2は当該傾斜イオン注入の“影”となって燐が注入されずに残る。続いて今度は、仮想線の矢印Wbで示すように、チャネル5を挟んで反対方向からの傾斜イオン注入法により、例えば硼素を注入すると、厚いゲート絶縁膜6-2に接するゲート電極となる部分3-2と絶縁膜4の上方を渡し越す部分には当該硼素が注入されるが、薄いゲート絶縁膜6-1に接する部分3-1には注入されず、最初の段階で燐が注入されたままに残る。もちろん、この注入の順番は逆でも良いが、いずれにしても、このような工程で、互いに異なる仕事関数  $\Phi_1$ ,  $\Phi_2$ を持つ一対のゲート電極3-1, 3-2を予め形成でき、この場合には薄いゲート絶縁膜6-1に接つしていて燐を添加したゲート電極3-1の仕事関数  $\Phi_1$ の方が、硼素を添加した他方のゲート電極3-2のそれ  $\Phi_2$  よりも低くなる。

**【0034】**

この工程の後、最終的にゲート電極の平面的な領域を確定するため、図11(A), (B)に示すように、例えば減圧CVDでシリケードガラス11を堆積し、電子ビーム露光でゲートパターンを形成し、RIEでシリケードガラス11からなるハードマスクを形成してから、そのハードマスクを利用してゲート材料3aをRIEで垂直に埋め込み酸化膜2で止まるようにエッチングする。

**【0035】**

このような構造体を完成させたならば、図12(A), (B)に示すように、n型チャネルの場合には燐をドープしたシリケードガラス(PSG)、p型チャネルの場合にはホウ素をドープしたシリケードガラス(BSG)と、ドーピングしてないシリケードガラス(NSG)とを連続的に堆積して絶縁膜8を形成する等し、続いて、瞬時加熱によるアニーリング(RTA)を行い、チャンネル両端のソース、ドレインに及ぶ延長部のドーピングをする。その後、化学機械研磨法(CMP)により、絶縁膜4をストップとして研磨を行い、ゲート電極材料3aを左側ゲート電極3-1と右側ゲート電極3-2に分離すれば、図3に示した本発明の特定態様の二重ゲート電界効果トランジスタが得られる。もちろん、図示はしていないが、絶縁膜をウエハ全面に堆積して、コンタクトホールを形成し、Al電極形成、シンタリングを行うことで実際に製品として利用可能な素子構造が得られるが、これはこの種の分野において当たり前の引き出し配線形成、パッケージング処理に従って良いことなので、これ以上の詳しい説明は省略する。また、本発明が開示された以上、本発明のこうした二重ゲート電界効果トランジスタを複数用いて、任意機能の半導体集積回路を構成することも、当業者には極めて容易である。この点は後述する各実施形態に関しても同様のことと言える。

**【0036】**

なお、一対のゲート電極3-1, 3-2の仕事関数を互いに異ならせるために既述したようなイオン注入によるのではなく、そもそも別途な金属材料を用いる場合には、図10～11に示した工程では第一の電極材料で片方のゲート電極のみが作製されるようにし、もう一回、同様な工程を追加する等して、異なる材質、異なる仕事関数の第二の電極材料により、他方のゲート電極を作製すれば良い。例えば組み合わせに適した材料例としては、モリブデンとアルミニウム等を上げることができる。

**【0037】**

図13(A)～(C)には、本発明のさらに異なる態様としての二重ゲート電界効果トランジスタが示されている。図3に図示した本発明電界効果トランジスタと異なる点は、図13(A)のY-Y線に沿う断面端面を示す図13(B)に良く示されているように、縦型のチャネル5が一対のゲート電極3-1, 3-2を結ぶ方向、つまりキャリア走行方向とは直交する方向の断面

(Y-Y線に沿う断面)において三角形状をしていることである。こうした構造は、(100)面方位のSOI基板を用い、結晶異方性エッチングを援用することで得ることができる。以下ではこの構造の製造工程例につき説明する。これまでと同様に、図14から図22の各図において(A)図は図13中のY-Y線に沿う断面端面図に相当し、(B)図はX-X線に沿う断面端面図に相当する。

**【0038】**

まず、図14(A), (B)に示すように、シリコン基板1上に埋め込み酸化膜2と(100)面方位のシリコン結晶層5aを持つSOIウエハを用意し、その表面に熱酸化でシリコン酸化膜を形成し、図15(A), (B)に示すように電子ビーム露光とRIEで当該シリコン酸化膜によるドーピングマスク9を作製してから、ソース7-1とドレイン7-2を形成すべき領域にそれぞれ適当なる不純物をドーピングする。

**【0039】**

次いで、図16(A), (B)に示すように、絶縁膜4からなるハードマスクをRIEで形成し、例えば2.38%のTMAH水溶液を用いてシリコン層をエッチングする。これによりチャネルの右側に斜めの(111)面方位を持つシリコン面が露呈形成される。そこで、熱酸化を施すかCVDで、図17(A), (B)に示すように、ここに相対的に厚膜となるゲート絶縁膜6-2を形成する。この実施形態でも、本発明の特定の態様に従い、一対のゲート絶縁膜の誘電率 $\epsilon_1$ ,  $\epsilon_2$ を互いに変えたい場合には、この工程でそれを行うことができ、図17(A)中に仮想線の矢印fで示すように、公知既存の斜め蒸着技術やスパッタ法等を用い、例えばHfSiON, HfAlSiON, La2O3等、シリコン熱酸化膜とは異なる適当な絶縁材料を重ねて形成することで、誘電率 $\epsilon_2$ が後に形成される他方のゲート絶縁膜6-1の誘電率 $\epsilon_1$ とは異なるゲート絶縁膜6-2とすることができます。ただし、このゲート絶縁膜6-2の実質的な誘電率変更工程は、ここでは行わず、後述の図19に即して説明する工程中においてであっても良い。もちろん、始めか

ら所望の誘電率  $\epsilon_2$  の特定誘電材料を付着させても良い。

#### 【004.0】

こうした構造の上に、図18(A), (B)に示すように、電子ビーム露光でレジストパターン10を形成し、図19(A), (B)に示すように、例えばRIEで絶縁膜4からなるハードマスクを形成してから、結晶異方性エッチングでチャネルの左側に(111)面方位をもつ斜めのシリコン面を形成し、短時間の熱酸化で薄いゲート酸化膜6-2を形成する。先に述べたように、一对のゲート絶縁膜6-1, 6-2の互いの誘電率  $\epsilon_1$ ,  $\epsilon_2$  を変える場合に、図17に仮想線の矢印fで示した工程を止め、この図19図示の工程で、どちらか一方、例えば厚い方のゲート絶縁膜6-2に対し、仮想線の矢印fで示すような、既述した適当な材料付着による誘電率変更工程を付与しても良い。先に述べたと同様、薄い方のゲート絶縁膜6-1に対する誘電率変更工程が必要な場合には、同様にこの工程にてチャネルを挟んで反対方向斜めからの適当なる誘電材料照射を行えば良い。

#### 【004.1】

こうした後、図20(A), (B)に示すように、ウエハ全面にゲート電極材料3aを堆積させ、それから図21(A), (B)に示し、また既に説明した方法に従い、シケードガラス11を堆積させて、電子ビーム露光でゲートパタンを形成し、RIEでゲート加工をする。

#### 【004.2】

しかるに、本発明の趣旨に従い、一对のゲート電極3-1, 3-2の仕事関数  $\Phi_1$ ,  $\Phi_2$  を互いに異なるために、図21(A), (B)に示す工程に移る前に、図20に示す工程においてさらに次のような処理を施す。例えばゲート電極材料3aとしてポリシリコンを選び、まず仮想線の矢印Wpで示すように、当該ポリシリコン3aの堆積後、傾斜イオン注入法により、例えば燐を注入すると、薄いゲート絶縁膜6-1に接するゲート電極となる部分3-1と絶縁膜4の上方を渡し越す部分には当該燐が注入されるが、厚いゲート絶縁膜6-2に接する部分の近傍のゲート電極部分3-2は当該傾斜イオン注入の“影”となって燐が注入されずに残る。続いて今度は、仮想線の矢印Wbで示すように、チャネル5を挟んで反対方向からの傾斜イオン注入法により、例えば硼素を注入すると、厚いゲート絶縁膜6-2に接するゲート電極となる部分3-2と絶縁膜4の上方を渡し越す部分には当該硼素が注入されるが、薄いゲート絶縁膜6-1に接する部分3-1には注入されず、最初の段階で燐が注入されたままに残る。この注入の順番は逆でも良いが、いずれにしてもこの工程で、互いに異なる仕事関数  $\Phi_1$ ,  $\Phi_2$  を持つ一对のゲート電極3-1, 3-2を予め形成できる。この場合には、薄いゲート絶縁膜6-1に接つしていて燐を添加したゲート電極3-1の仕事関数の方が、硼素を添加した他方のゲート電極3-2のそれよりも低くなる。

#### 【004.3】

図21に図示した工程の後には、図22(A), (B)に示すように、ウエハ全面にこれも既述したPSG(p型チャネルの場合はBSG)とNSGとからなる絶縁膜8を連続的に堆積し、瞬時加熱アニーリングをしてチャネル延長部のドーピングを行ってから、化学機械研磨(CMP)を利用し、絶縁膜4をストップとして研磨を行えば、図13に示したように、分離されたゲート電極3-1, 3-2を有する本発明二重ゲート電界効果トランジスタが完成する。その後の処理については、これも既に述べた通り、この種の分野における通常の処理に従って良い。なお、同様にイオン注入法によらず、一对のゲート電極3-1, 3-2の仕事関数を互いに異なるために別途な金属材料を用いる場合には、図20~21に示した工程では第一の電極材料で片方のゲート電極のみが作製されるようにし、もう一回、同様な工程を追加する等して、異なる材質、異なる仕事関数の第二の電極材料により、他方のゲート電極を作製すれば良い。組み合わせる電極材料には、既述したように、適当な金属材料を選んで良い。

#### 【004.4】

図23(A), (B)には、こうした三角チャネル5を形成する場合の他の実施形態が示されている。つまり、一方のゲート絶縁膜、この場合、厚い方のゲート絶縁膜6-2の高さの途中に他方のゲート絶縁膜、この場合薄い方のゲート絶縁膜6-1がぶつかるような形状になつていて、三角チャネル5はさらに微細化されている。そもそも縦型チャネル5を三角形状のチャネルにすることは、短チャネル効果をより顕著に制御するために有効であるので、

このように三角チャネル5を微細化すると、その効果はより大きくなる。この場合にも、チャネル5のみが微細化されるので、ソース・ドレイン寄生抵抗は小さくできる利点がある（延長部のソース・ドレインは太いままで残し得る）。

#### 【0045】

こうした構造の作製工程は基本的に図14～図22に即して述べた工程と同様で良い。異なる点は、図19(A), (B)に示す工程中の結晶異方性エッティング時間であり、それは長くする必要がある。エッティング時間を正確に制御するのがポイントである。

#### 【0046】

図24(A), (B)には、一対のゲート絶縁膜6-1, 6-2の厚みは異なるけれども、図1に示した本発明の基本的な実施形態におけると同様、一対のゲート電極3-1, 3-2が接続部分3cで接続されている実施形態が示されている。一対のゲート電極3-1, 3-2の厚みが互いに異なることを除いては図1に示した本発明実施形態における各部の説明をそのまま援用でき、また、その効果においても、同様の効果を發揮し得る。一対のゲート電極3-1, 3-2に異なる電位を与えることはできないが、本発明に従い、製造工程において一対のゲート電極に異なる仕事関数Φ1, Φ2を与えることで、さらにはまた、これに加え、本発明の特定の様に従い、図示のように一対のゲート絶縁膜の厚み関係を調整したり、要すれば互いの誘電率を調整することで、所望の閾値電圧を与え得る自由度を持つ。

#### 【図面の簡単な説明】

#### 【0047】

【図1】本発明二重ゲート電界効果トランジスタの一実施形態の概略構成図である。

【図2】本発明二重ゲート電界効果トランジスタの他の一実施形態の概略構成図である。

【図3】本発明二重ゲート電界効果トランジスタのさらに他の一実施形態の概略構成図である。

【図4】図3に示した二重ゲート電界効果トランジスタを作製する工程にあって出発時点の工程を示す説明図である。

【図5】図4に続く工程の説明図である。

【図6】図5に続く工程の説明図である。

【図7】図6に続く工程の説明図である。

【図8】図7に続く工程の説明図である。

【図9】図8に続く工程の説明図である。

【図10】図9に続く工程の説明図である。

【図11】図10に続く工程の説明図である。

【図12】図11に続く工程の説明図である。

【図13】本発明二重ゲート電界効果トランジスタのまた別の実施形態の概略構成図である。

【図14】図13に示した二重ゲート電界効果トランジスタを作製する工程にあって出発時点の工程を示す説明図である。

【図15】図14に続く工程の説明図である。

【図16】図15に続く工程の説明図である。

【図17】図16に続く工程の説明図である。

【図18】図17に続く工程の説明図である。

【図19】図18に続く工程の説明図である。

【図20】図19に続く工程の説明図である。

【図21】図20に続く工程の説明図である。

【図22】図21に続く工程の説明図である。

【図23】本発明二重ゲート電界効果トランジスタのまた別の他の実施形態の概略構成図である。

【図24】本発明二重ゲート電界効果トランジスタのさらに異なる実施形態の概略構成図である。

【図25】縦型チャネルを有する二重ゲート電界効果トランジスタの従来例の概略構成図である。

【図26】縦型チャネルを有する二重ゲート電界効果トランジスタの他の従来例の概略構成図である。

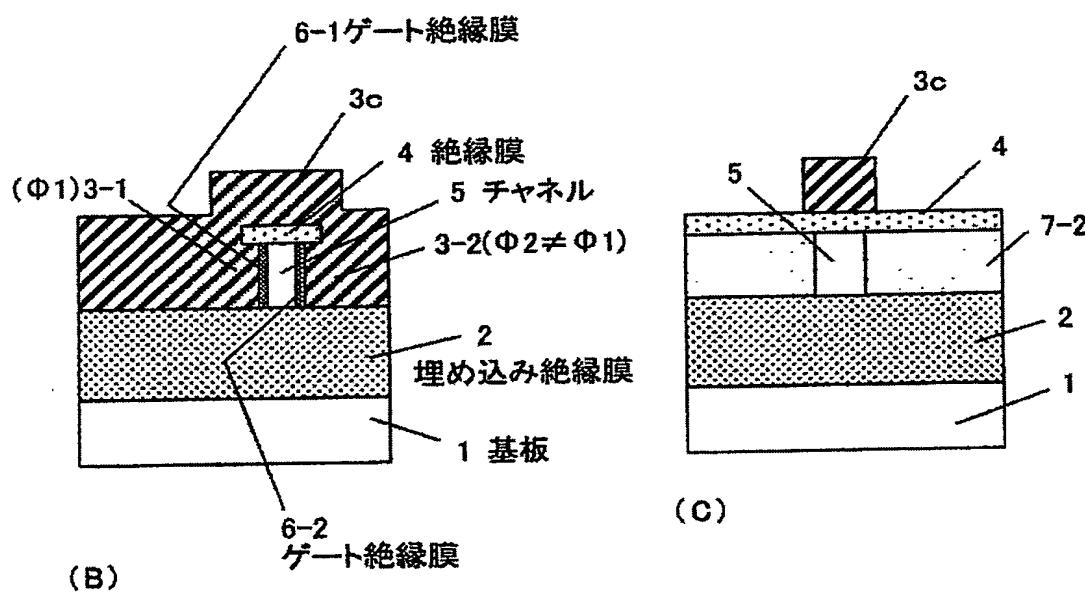
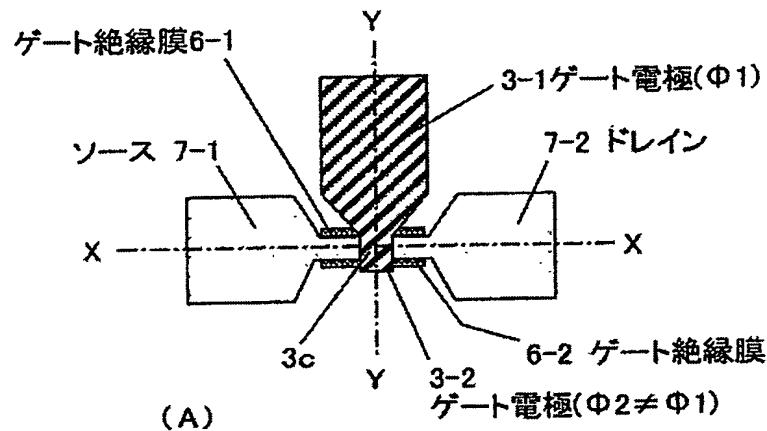
【図27】プレーナ型二重ゲート電界効果トランジスタの従来例の概略構成図である。

【符号の説明】

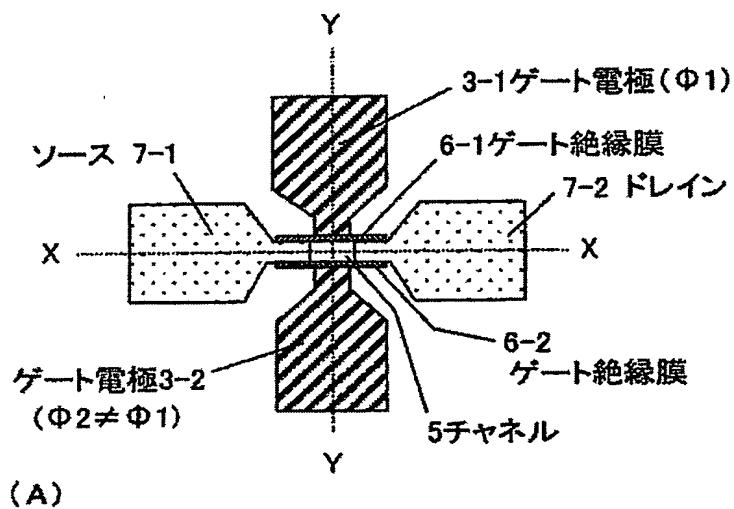
【0048】

- 1 半導体基板
- 2 埋め込み絶縁膜
- 3-1, 3-2 ゲート電極
- 5 チャネル
- 6-1, 6-2 ゲート絶縁膜
- 7-1 ソース
- 7-2 ドレイン

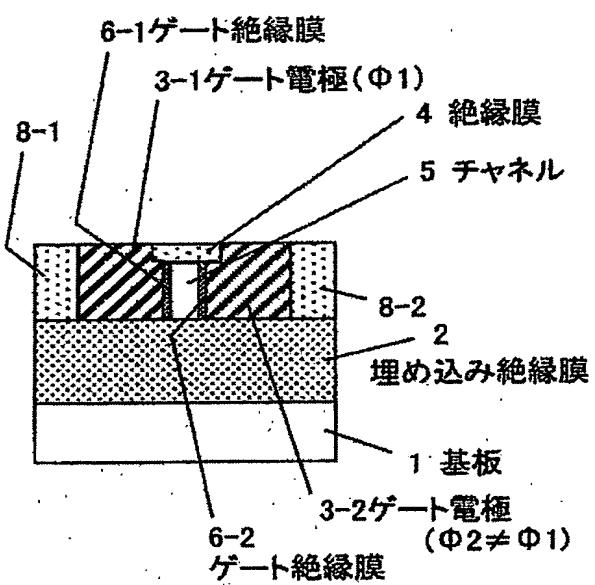
【書類名】 図面  
【図 1】



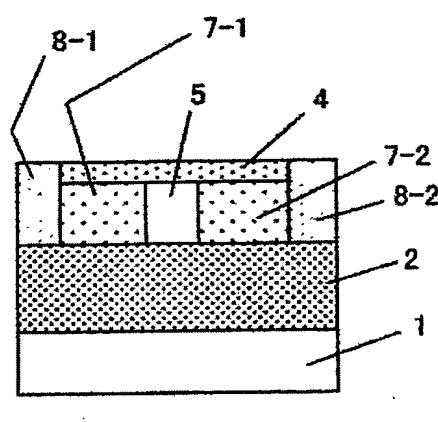
【図 2】



(A)

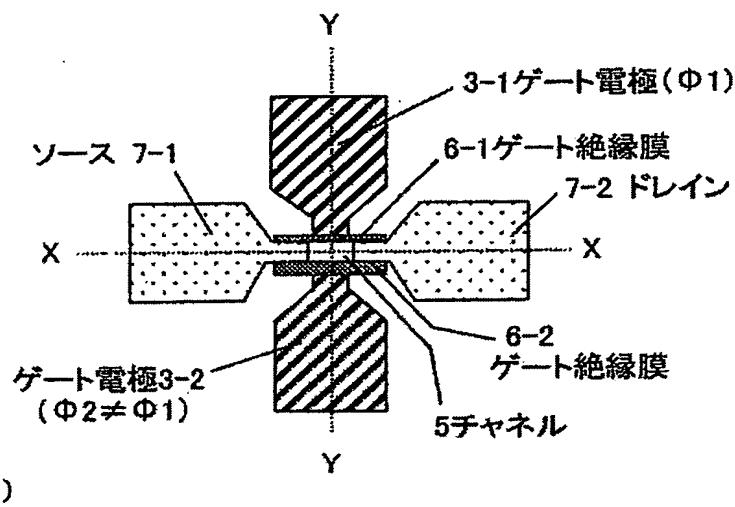


(B)

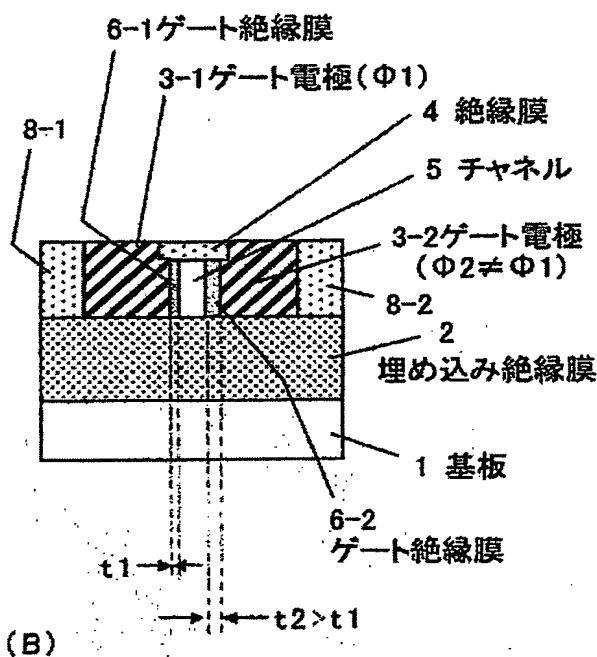


(C)

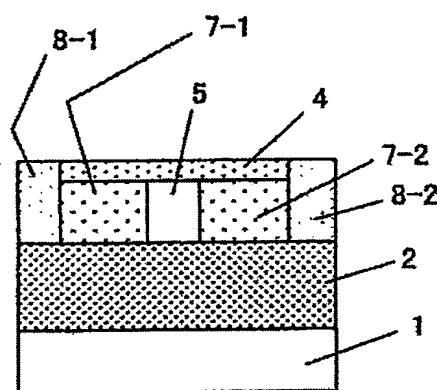
【図3】



(A)

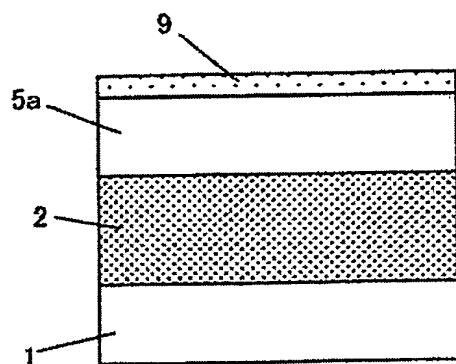


(B)

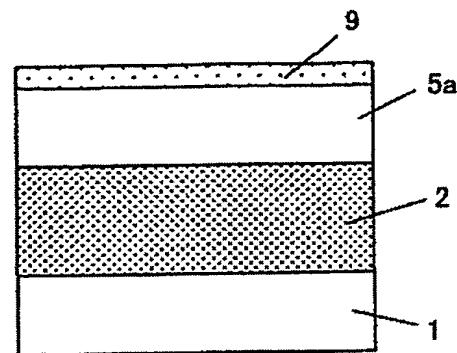


(C)

【図4】

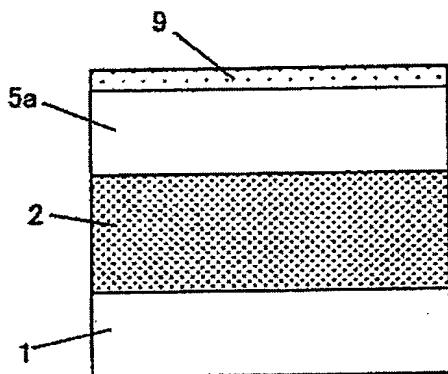


(A)

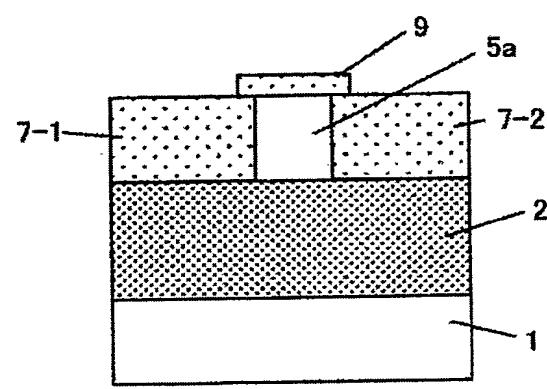


(B)

【図5】

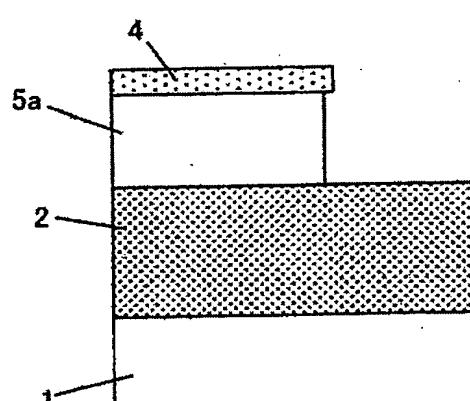


(A)

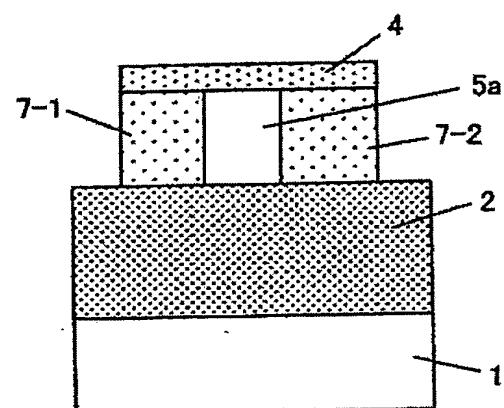


(B)

【図6】

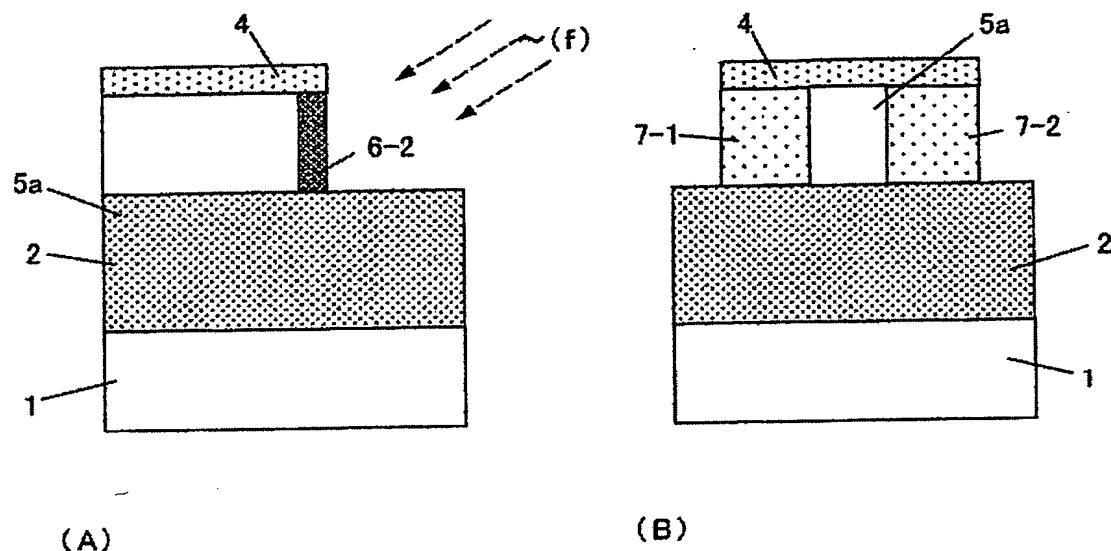


(A)

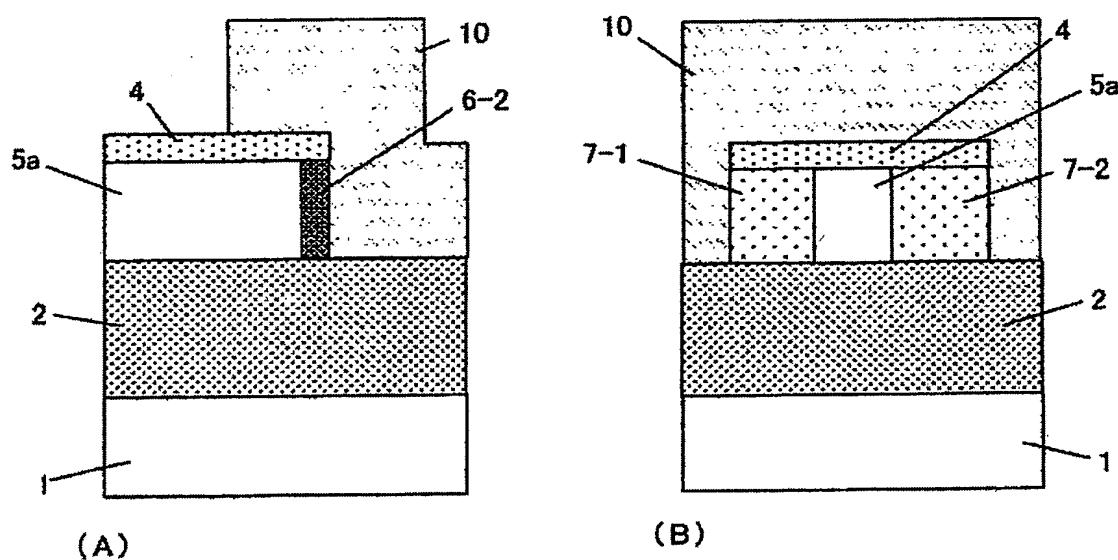


(B)

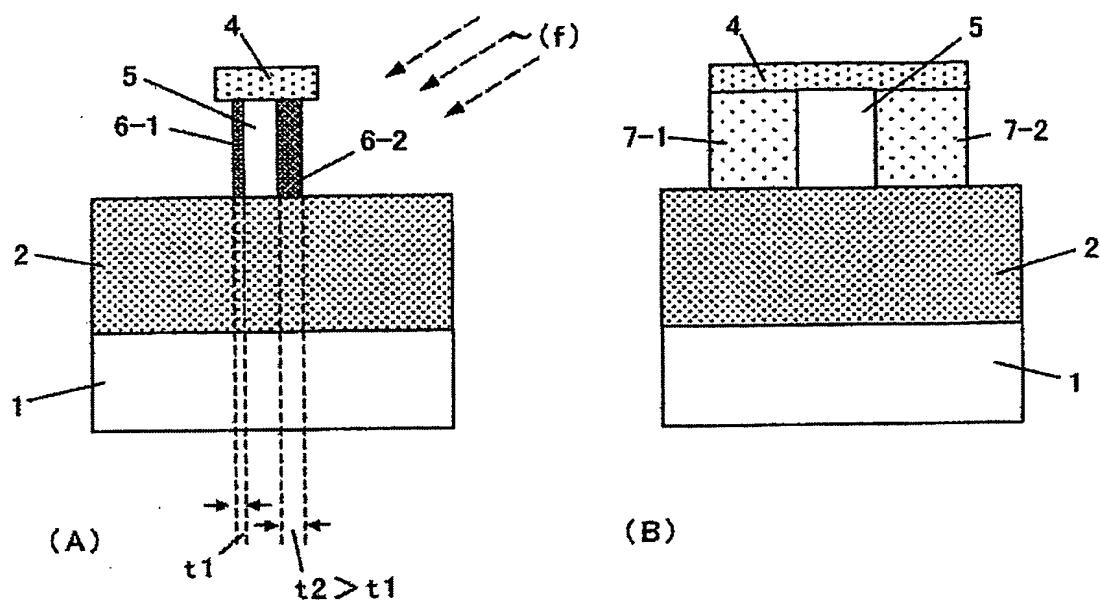
【図7】



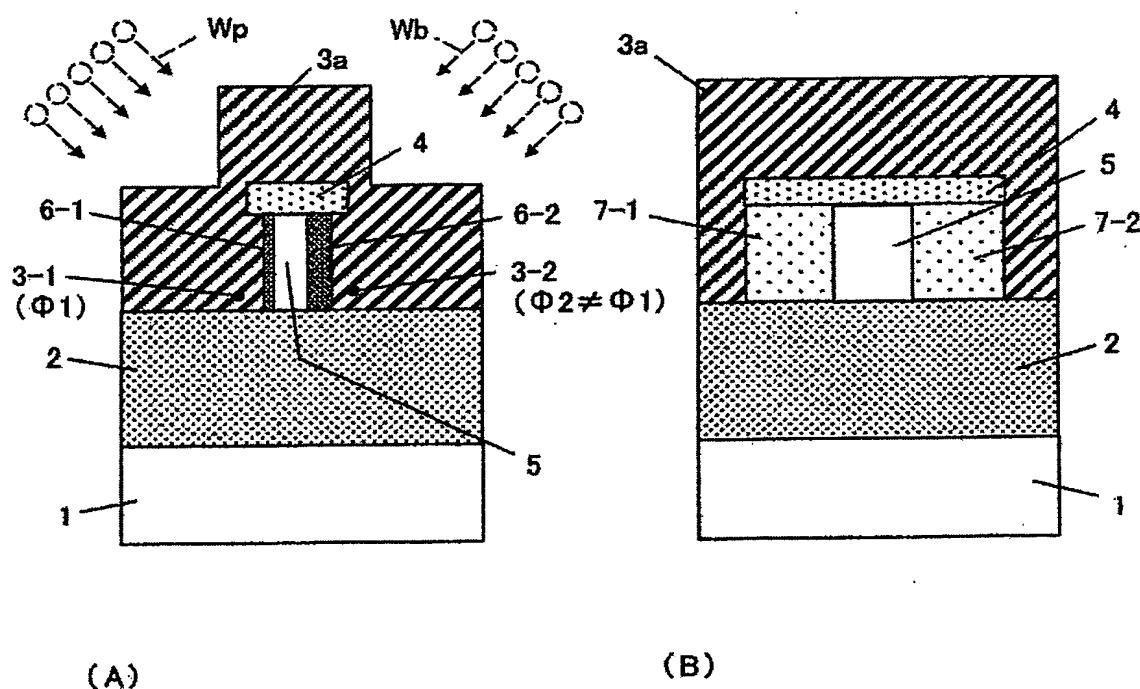
【図8】



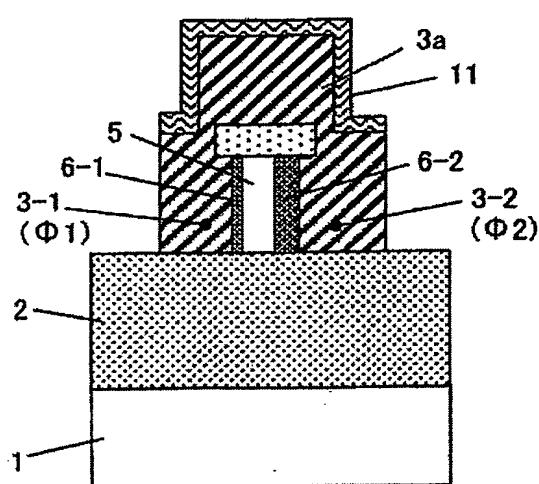
【図9】



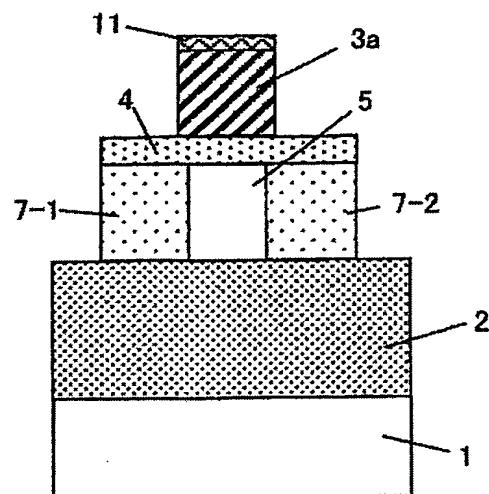
【図10】



【図11】

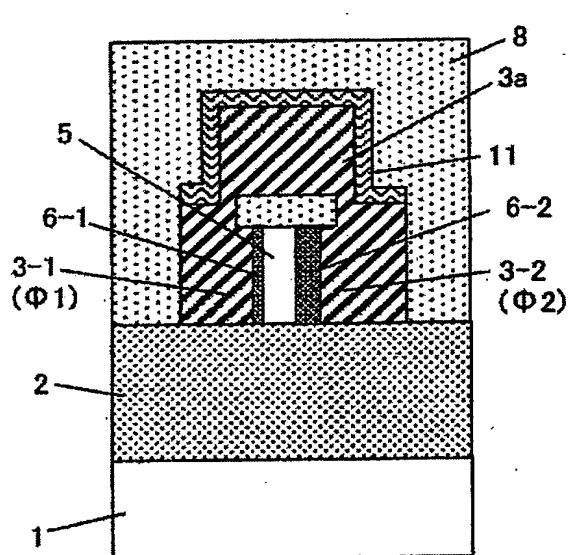


(A)

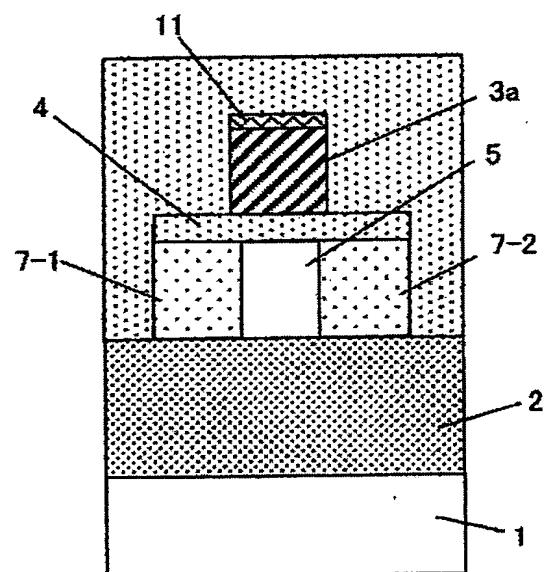


(B)

【図12】

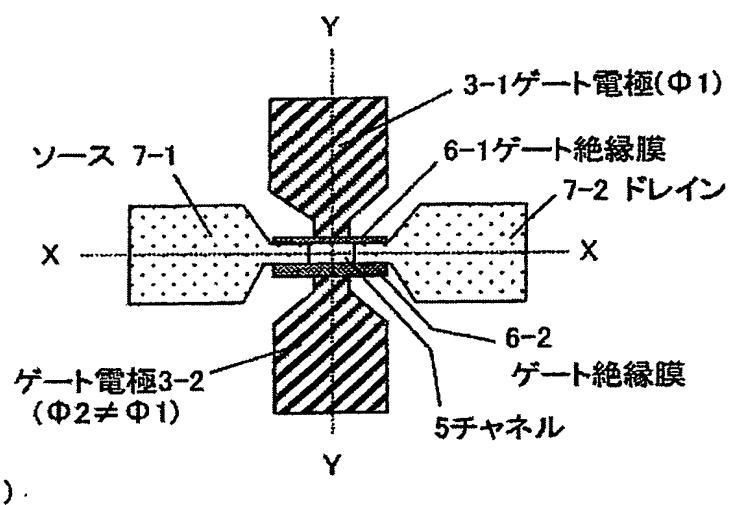


(A)

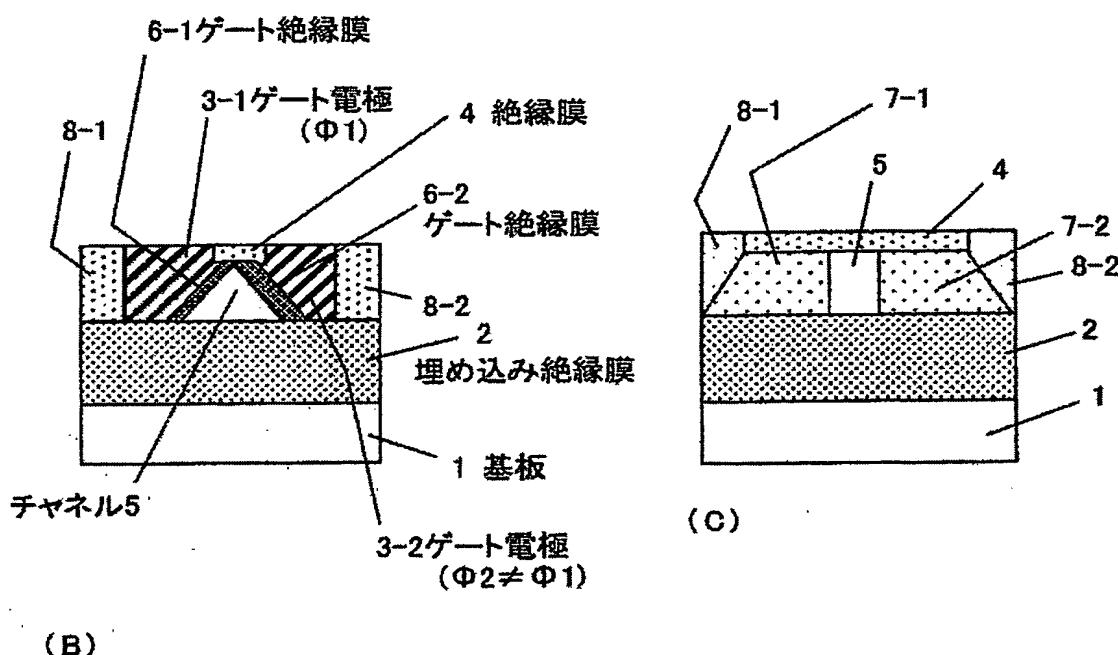


(B)

【図13】



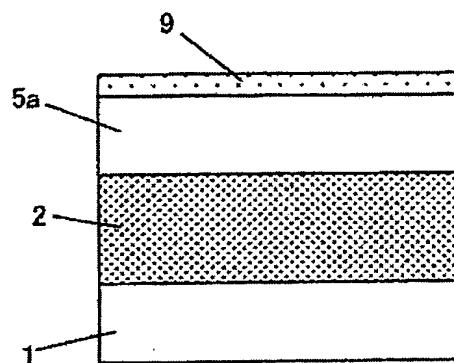
(A)



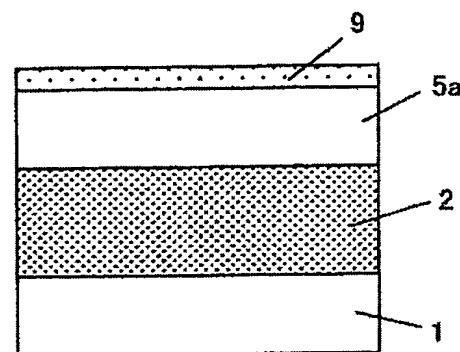
(B)

(C)

【図14】

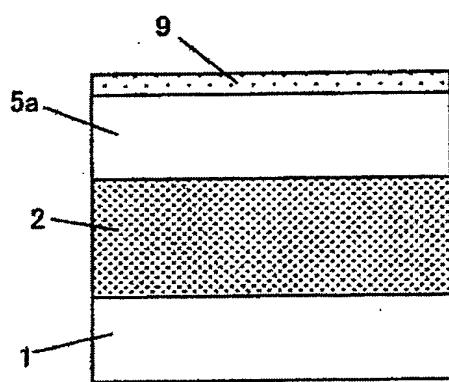


(A)

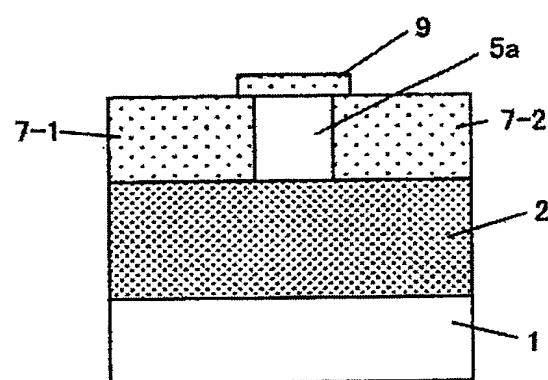


(B)

【図15】

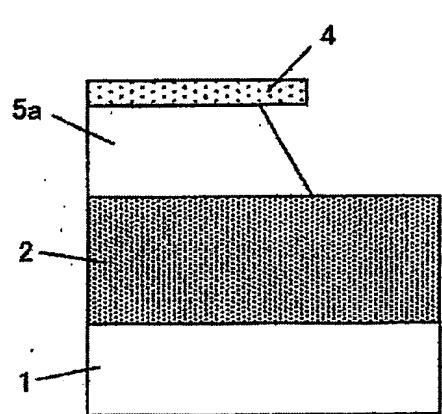


(A)

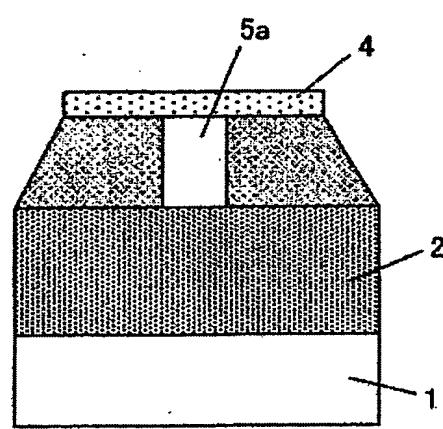


(B)

【図16】

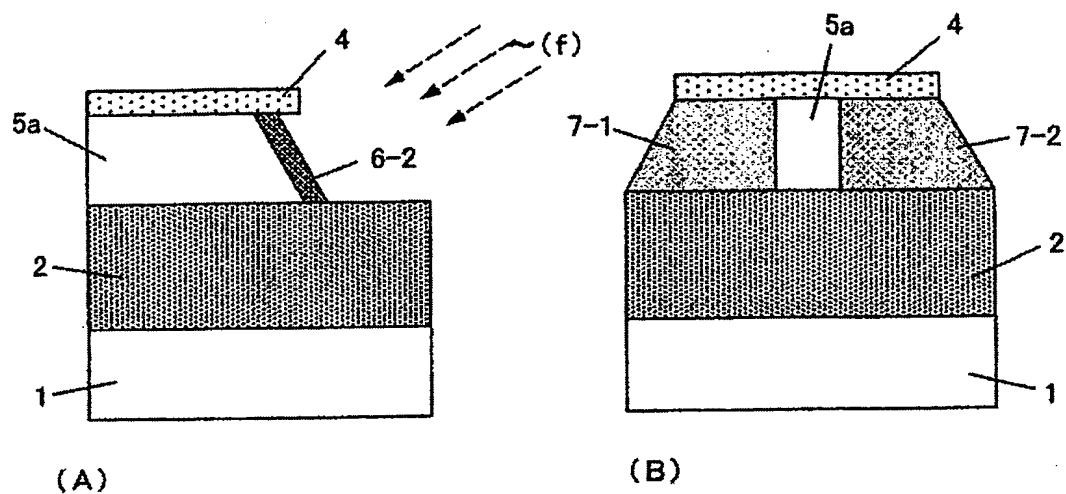


(A)

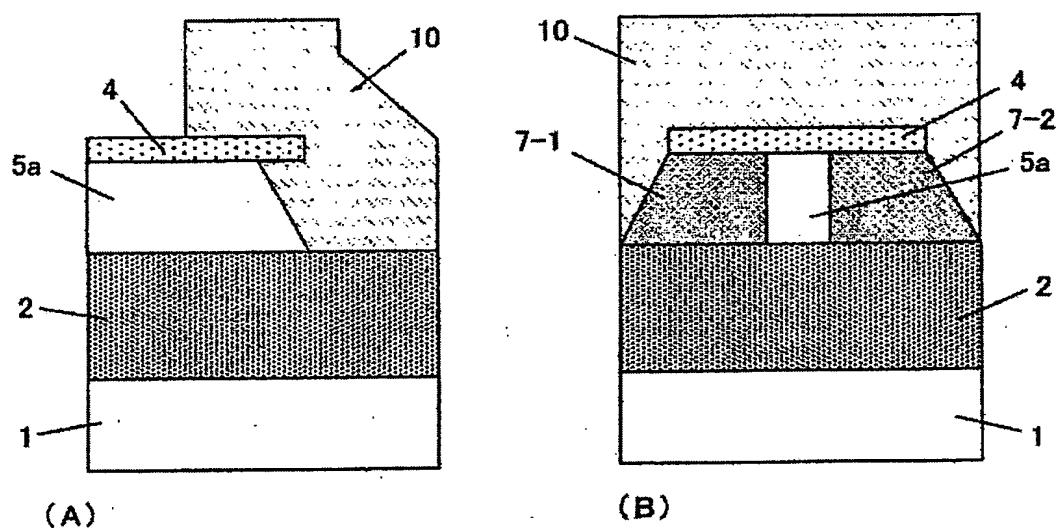


(B)

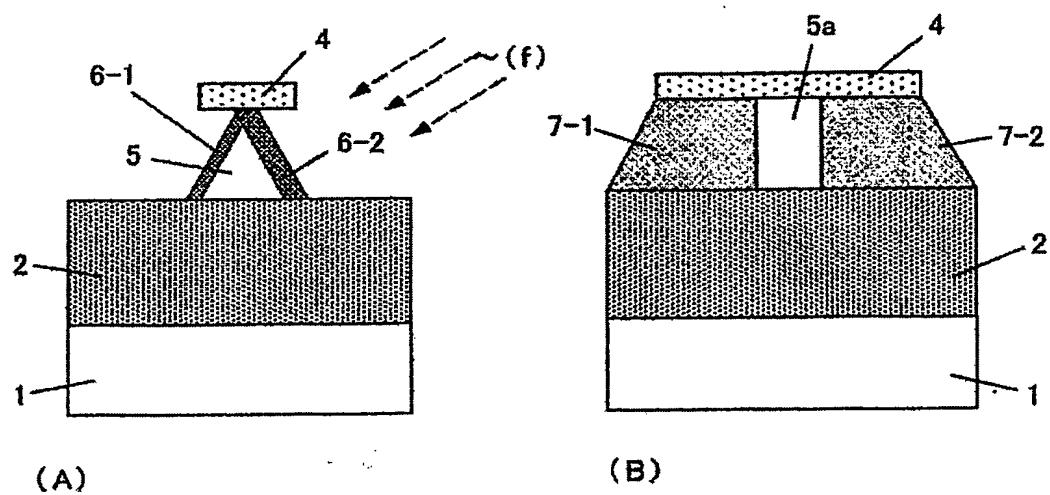
【図17】



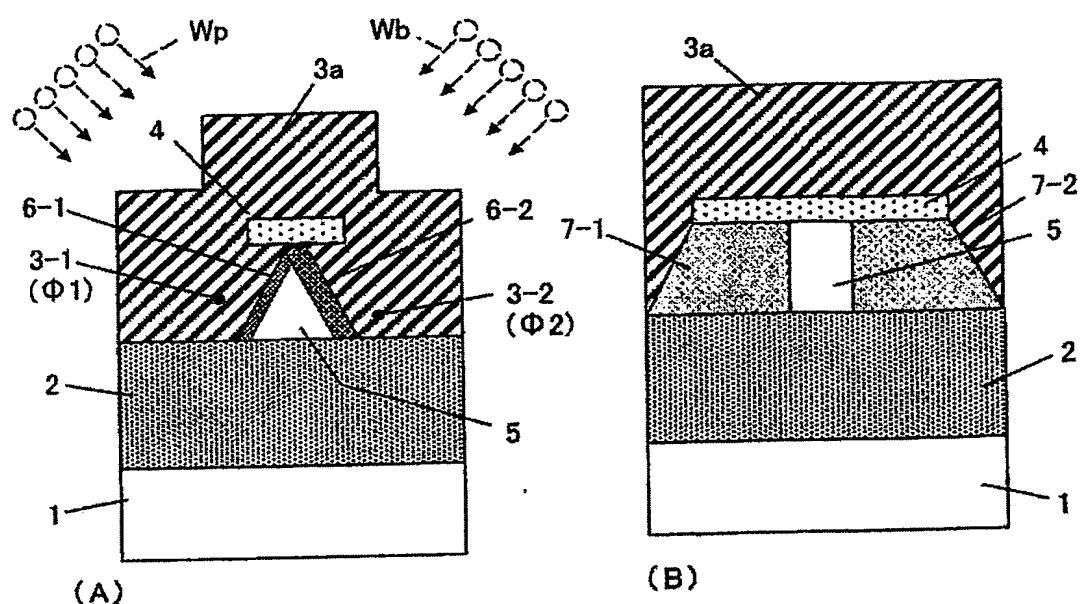
【図18】



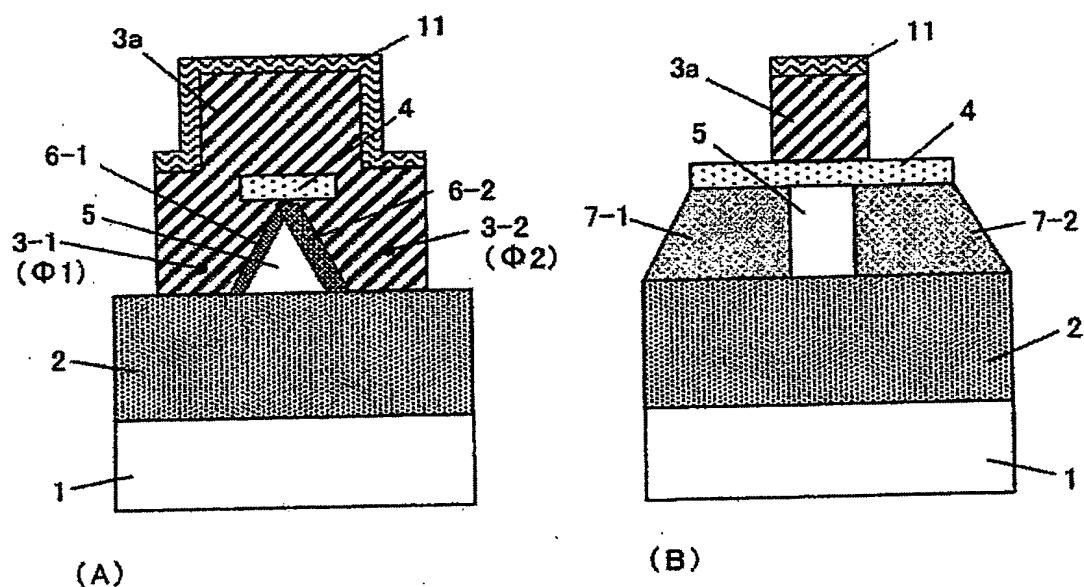
【図19】



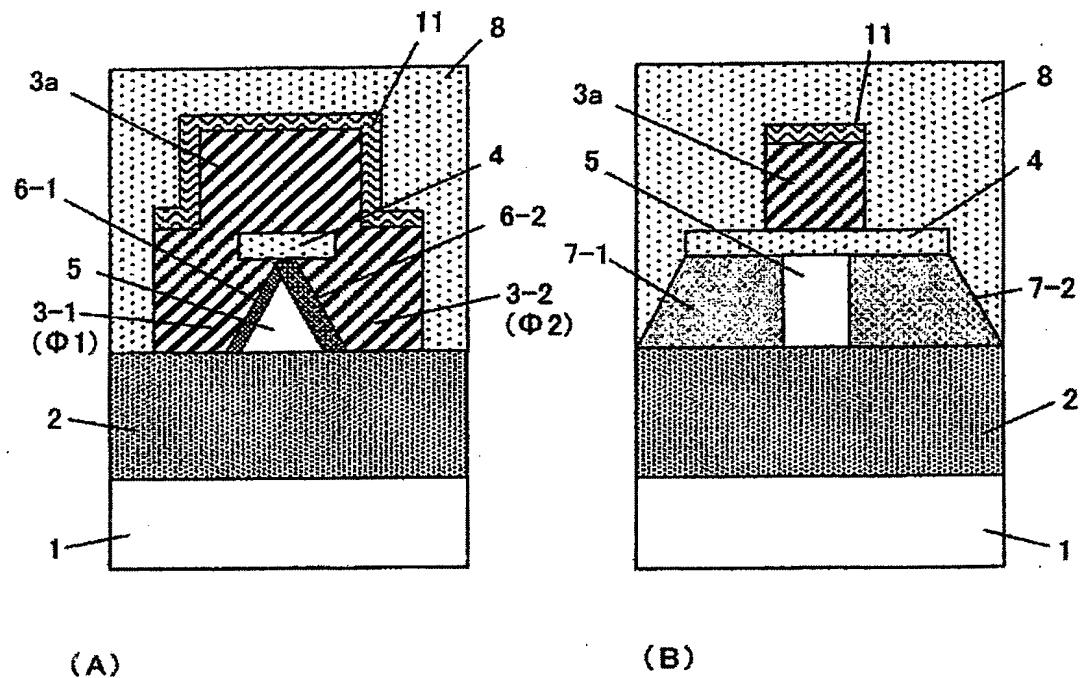
【図20】



【図21】



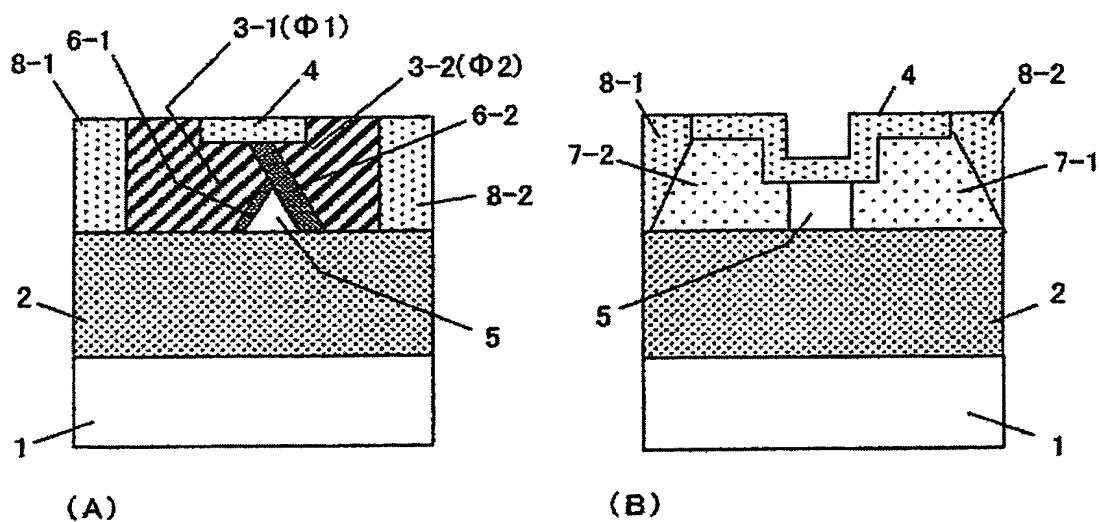
【図22】



(A)

(B)

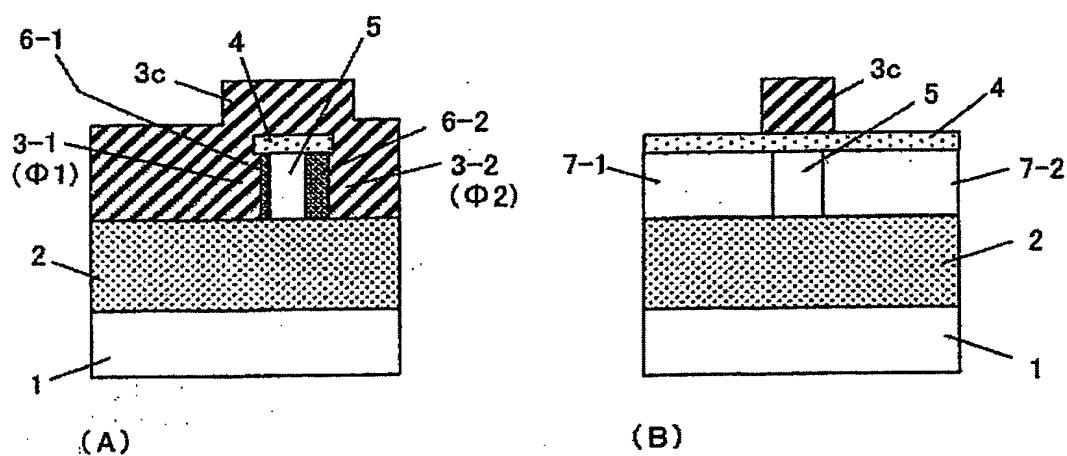
【図23】



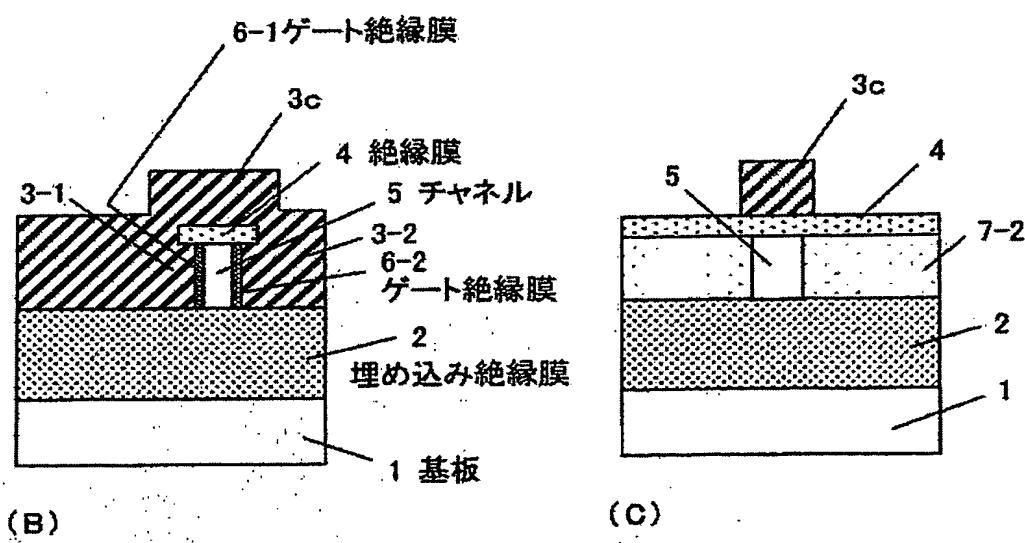
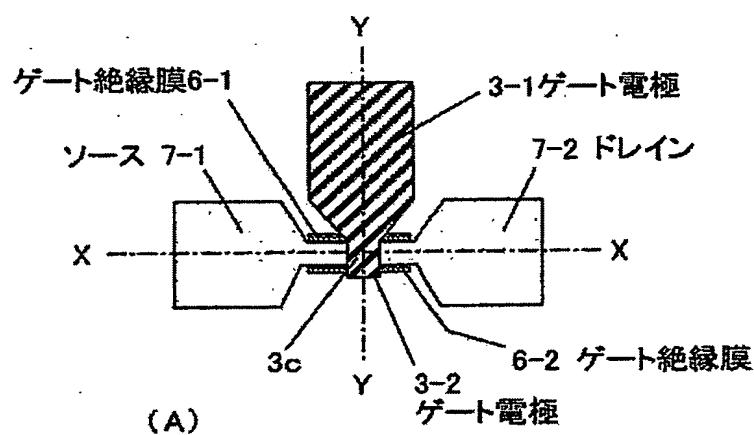
(A)

(B)

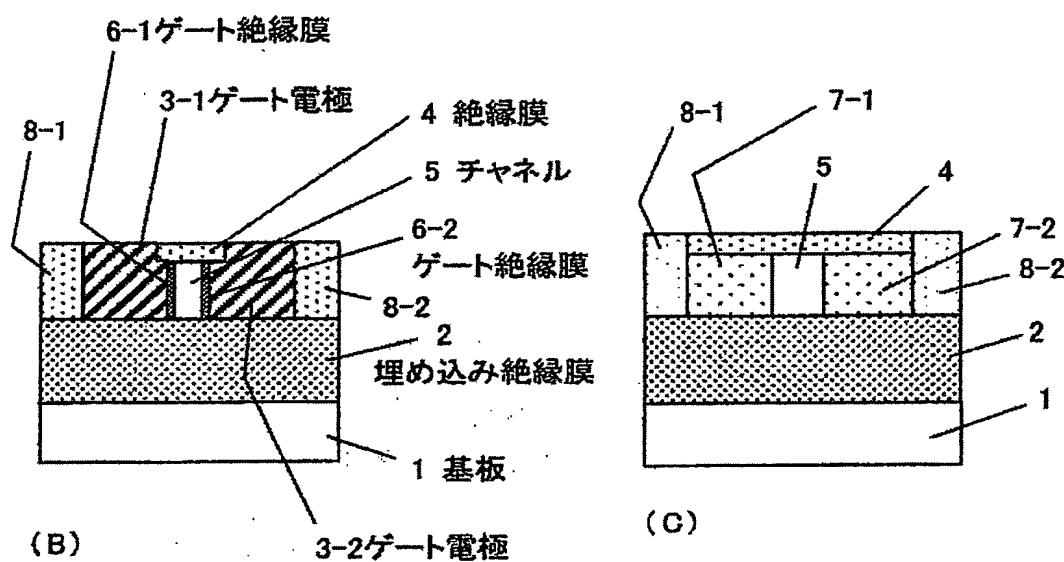
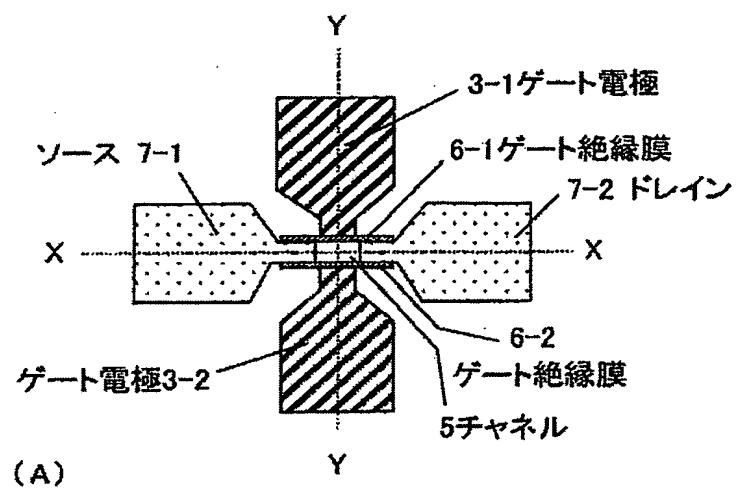
【図24】



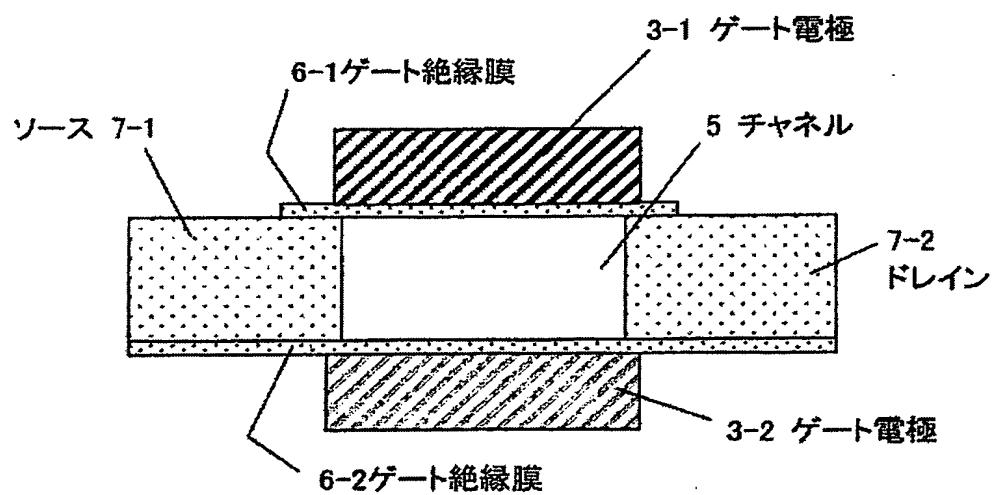
【図25】



【図 26】



【図27】



【書類名】要約書

【要約】

【課題】 自由な閾値電圧の設定が可能な原理構造を持つ二重ゲート電界効果トランジスタを提供する。

【解決手段】 基板1に対し起立した関係でソース7-1とドレイン7-2の間に設けられた縦型チャネル5と、このチャネル5内のキャリア走行方向とは直交する方向から当該チャネル5を一対で挟むゲート絶縁膜6-1, 6-2と、これら一対のゲート絶縁膜6-1, 6-2の各々を介してそれぞれがチャネル5に臨む計一対のゲート電極3-1, 3-2とを有する二重ゲート電界効果トランジスタにおいて、一対のゲート電極3-1, 3-2が、互いに異なる仕事関数Φ1, Φ2を有するようとする。

【選択図】 図2

**認定・付加情報**

特許出願の番号	特願2003-408254
受付番号	50302012287
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年12月 8日

## &lt;認定情報・付加情報&gt;

【提出日】	平成15年12月 5日
-------	-------------

特願 2003-408254

出願人履歴情報

識別番号 [301021533]

1. 変更年月日 2001年 4月 2日

[変更理由] 新規登録

住所 東京都千代田区霞が関 1-3-1  
氏名 独立行政法人産業技術総合研究所

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP04/018525

International filing date: 06 December 2004 (06.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-408254  
Filing date: 05 December 2003 (05.12.2003)

Date of receipt at the International Bureau: 24 February 2005 (24.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**PREFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**